

con. to CN 1188982

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209443

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/336
21/265
21/28

3 0 1

H 0 1 L 29/78
21/28
21/265

3 0 1 P
3 0 1 R
Y

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平9-7093

(22) 出願日

平成9年(1997)1月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 岳

東京都港区芝五丁目7番1号 日本電気株式会社内

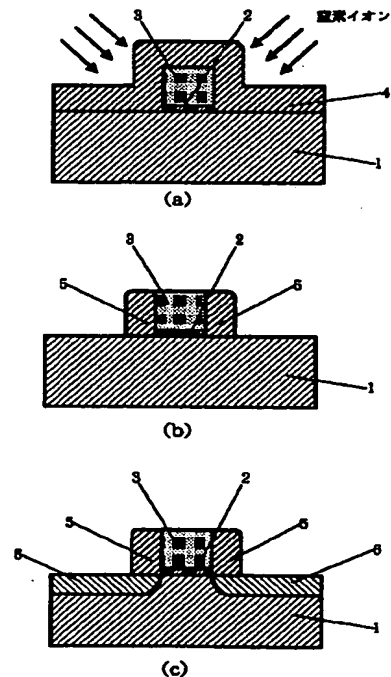
(74) 代理人 弁理士 中澤 昭彦

(54) 【発明の名称】 半導体装置の製造方法及びその方法により製造された半導体装置

(57) 【要約】

【課題】 絶縁膜側壁上へのチタンシリサイドの這いあがりを抑制し、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止できる半導体装置の製造方法を提供する。

【解決手段】 基板上にゲート絶縁膜を介して、ゲート電極を形成する工程と、基板及びゲート電極の全面に絶縁膜を被着させた後、絶縁膜中に窒素を斜め方向からイオン注入する工程と、絶縁膜をエッチングすることによって、ゲート電極の側面に窒素を含有した絶縁膜側壁を形成する工程と、ゲート電極および基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、ゲート電極表面およびソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、チタン膜と、ゲート電極およびソース、ドレイン拡散層とを反応させる工程と、チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有する。



TS入

1

【特許請求の範囲】

【請求項1】(1) 基板上にゲート絶縁膜を介して、ゲート電極を形成する工程と、(2) 前記基板及びゲート電極の全面に絶縁膜を被着させた後、前記絶縁膜中に窒素を斜め方向からイオン注入する工程と、(3) 前記絶縁膜をエッチングすることによって、前記ゲート電極の側面に窒素を含有した絶縁膜側壁を形成する工程と、

(4) 前記ゲート電極および前記基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(5) 前記ゲート電極表面および前記ソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、前記チタン膜と、前記ゲート電極および前記ソース、ドレイン拡散層とを反応させる工程と、(6) 前記チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】(1) シリコン基板上にゲート絶縁膜を介して、シリコンゲート電極を形成する工程と、(2) 前記シリコン基板及びシリコンゲート電極の全面に絶縁膜を被着させた後、前記絶縁膜中に窒素を斜め方向からイオン注入する工程と、(3) 前記絶縁膜を異方性エッチングすることによって、前記シリコンゲート電極の側面に窒素を含有した絶縁膜側壁を形成する工程と、(4) 前記シリコンゲート電極および前記シリコン基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(5) 前記シリコンゲート電極表面および前記ソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、熱処理によって前記チタン膜と、前記シリコンゲート電極および前記ソース、ドレイン拡散層とを反応させる工程と、(6) 前記チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】(1) 基板上にゲート絶縁膜を介して、ゲート電極を形成する工程と、(2) 前記基板及びゲート電極の全面に第1の絶縁膜を被着させた後、前記第1の絶縁膜をエッチングすることによって、前記ゲート電極の側面に第1の絶縁膜側壁を形成する工程と、(3) 前記ゲート電極および前記基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(4) 全面に第2の絶縁膜を被着させた後、前記第2の絶縁膜中に窒素を斜め方向からイオン注入する工程と、(5) 前記第2の絶縁膜をエッチングすることによって、前記ゲート電極の側面に、前記第1の絶縁膜側壁に沿って、窒素を含有した第2の絶縁膜側壁を形成する工程と、(6) 前記ゲート電極表面および前記ソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、前記チタン膜と、前記ゲート電極および前記ソース、ドレ

2

イン拡散層とを反応させる工程と、(7) 前記チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項4】(1) シリコン基板上にゲート絶縁膜を介して、シリコンゲート電極を形成する工程と、(2) 前記シリコン基板及びシリコンゲート電極の全面に第1の絶縁膜を被着させた後、前記第1の絶縁膜を異方性エッチングすることによって、前記シリコンゲート電極の側面に第1の絶縁膜側壁を形成する工程と、(3) 前記シリコンゲート電極および前記シリコン基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、

(4) 全面に第2の絶縁膜を被着させた後、前記第2の絶縁膜中に窒素を斜め方向からイオン注入する工程と、

(5) 前記第2の絶縁膜を異方性エッチングすることによって、前記シリコンゲート電極の側面に、前記第1の絶縁膜側壁に沿って、窒素を含有した第2の絶縁膜側壁を形成する工程と、(6) 前記シリコンゲート電極表面および前記ソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、熱処理によって前記チタン膜と、前記シリコンゲート電極および前記ソース、ドレイン拡散層とを反応させる工程と、(7) 前記チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】前記絶縁膜中に窒素をイオン注入するための注入角度は、40度乃至50度の範囲内にあることを特徴とする請求項1乃至4のいずれか1つの項に記載の半導体装置の製造方法。

【請求項6】請求項1乃至5のいずれか1つの項に記載の方法によって製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法及び半導体装置に関し、特にソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成するMOSトランジスタの製造方法及びその方法によって製造された半導体装置に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化、微細化に伴い、MOSトランジスタでは、シリコンゲート電極およびソース・ドレイン領域の表面にシリサイド層を形成して、ゲート電極およびソース・ドレイン領域の抵抗を低減するサリサイド(Self-Aligned-Silicide)構造が採用されるようになってきた。

【0003】図6及び図7は、サリサイド構造を有するMOSトランジスタの製造方法を主要工程順に示した断面図である。

3

【0004】まず、図6(a)に示すように、p型のシリコン基板1上にゲート酸化膜2を介して、多結晶シリコンゲート電極3を形成した後、CVD法により全面に酸化膜4を堆積させる。

【0005】次いで、この酸化膜4を異方性エッチングすることによって、図6(b)に示すように、多結晶シリコンゲート電極3の側面に酸化膜側壁5を形成する。さらに、n型不純物をイオン注入した後、活性化アニールを行い、図6(c)に示すように、ソース、ドレイン拡散層6を形成する。

【0006】次いで、ソース、ドレイン拡散層6の表面と多結晶シリコンゲート電極3の頂部を露出させた状態で、図7(a)に示すように、スパッタ法により全面にチタン膜7を被着させる。

【0007】次いで、熱処理によってチタン膜7と、ソース、ドレイン拡散層6およびシリコンゲート電極3とを反応させて、図7(b)に示すように、チタンシリサイド層8を形成する。

【0008】最後に、未反応のチタン9をアンモニアと過酸化水素との混合水溶液によりウェットエッチングして除去することにより、図7(c)に示すように、ソース、ドレイン拡散層6の表面領域とシリコンゲート電極3の頂部に自己整合的に、チタンシリサイド層8を形成する。

【0009】以上がソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成するMOSトランジスタの標準的な製造方法であるが、ここで問題になるのが、酸化膜側壁5上へのチタンシリサイドの這いあがり14によって、ソース、ドレイン拡散層とゲート電極との間にショートやリークが生じることである。そこで、この問題を解決するために、従来からいくつかの方法が提案されている。

【0010】例えば、特開平8-55981号公報には、図8に示すように、酸化膜側壁5形成後に、リンまたはヒ素などのn型不純物を斜め方向からイオン注入する半導体装置の製造方法が開示されている。この従来の方法によれば、n型不純物を含む酸化膜上ではシリサイド化反応が抑制されるため、酸化膜側壁5上にチタンシリサイドが成長しにくくなり、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止できる、と説明されている。

【0011】また、特開平5-102074号公報には、図9に示すように、ゲート電極側面に窒化膜側壁15を形成するMOSトランジスタの製造方法が開示されている。この従来の方法によれば、窒化膜上ではシリサイド化反応が抑制されるため、酸化膜側壁5上にチタンシリサイドが成長しにくくなり、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止できる、と説明されている。

【0012】

4

【発明が解決しようとする課題】図8に示す従来例では、リンまたはヒ素などのn型不純物に、チタンシリサイド化反応を抑制する効果があるのは事実である。しかし、n型拡散層上にもチタンシリサイドが形成されることから分かるように、その効果はあまり大きなものではない。しかも、酸化膜側壁にリンまたはヒ素などのn型不純物を斜め方向からイオン注入するとき、このn型不純物が同時にソース、ドレイン拡散層とゲート電極中にも導入されてしまうことも問題である。このため、p型のソース、ドレイン拡散層を有するpMOSの形成を考慮すると、このn型不純物のドーズ量は制限を受けることになる。

【0013】通常、pMOSのソース、ドレイン拡散層とゲート電極への不純物の導入は、ボロンまたはBF₂イオンを $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ 程度注入することによって行われる。したがって、pMOSのソース、ドレイン拡散層の形成に影響を及ぼさないようにするためには、酸化膜側壁に注入するn型不純物のドーズ量は、ボロンまたはBF₂イオンのドーズ量の $1/10$ 以下程度、すなわち $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 以下程度に制限しなければならず、シリサイド化反応の抑制効果を得ることは、ますます困難なものになってしまう。

【0014】従って、この従来例は、シリサイド化反応の抑制効果を十分に得ることができないという問題がある。

【0015】図9に示す従来例では、ゲート電極側面に窒化膜側壁を形成するが、窒化膜を構成する窒素とシリコンは化学結合により強く結びついているため、シリサイド化反応の際にも窒素はほとんど動くことがなく、シリサイド化反応を抑制するには至らない。従って、この従来例も、シリサイド化反応の抑制効果をあまり期待できないという問題がある。

【0016】本発明は、絶縁膜側壁上へのチタンシリサイドの這いあがり抑制し、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止することができる半導体装置の製造方法及びその方法により製造された半導体装置を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の半導体装置の製造方法は、(1)基板上にゲート絶縁膜を介して、ゲート電極を形成する工程と、(2)基板及びゲート電極の全面に絶縁膜を被着させた後、絶縁膜中に窒素を斜め方向からイオン注入する工程と、(3)絶縁膜をエッチングすることによって、ゲート電極の側面に窒素を含有した絶縁膜側壁を形成する工程と、(4)ゲート電極および基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(5)ゲート電極表面およびソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、チタン膜と、ゲート電極およびソース、ドレイン拡散層とを反応させる工程と、(6)チタン膜の

5

未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とするものである。

【0018】本発明の半導体装置の製造方法は又、

(1) シリコン基板上にゲート絶縁膜を介して、シリコンゲート電極を形成する工程と、(2) シリコン基板及びシリコンゲート電極の全面に絶縁膜を被着させた後、絶縁膜中に窒素を斜め方向からイオン注入する工程と、(3) 絶縁膜を異方性エッチングすることによって、シリコンゲート電極の側面に窒素を含有した絶縁膜側壁を形成する工程と、(4) シリコンゲート電極およびシリコン基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(5) シリコンゲート電極表面およびソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、熱処理によってチタン膜と、シリコンゲート電極およびソース、ドレイン拡散層とを反応させる工程と、(6) チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程とを有することを特徴とするものである。

【0019】本発明の他の半導体装置の製造方法は、

(1) 基板上にゲート絶縁膜を介して、ゲート電極を形成する工程と、(2) 基板及びゲート電極の全面に第1の絶縁膜を被着させた後、第1の絶縁膜をエッチングすることによって、ゲート電極の側面に第1の絶縁膜側壁を形成する工程と、(3) ゲート電極および基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(4) 全面に第2の絶縁膜を被着させた後、第2の絶縁膜中に窒素を斜め方向からイオン注入する工程と、(5) 第2の絶縁膜をエッチングすることによって、ゲート電極の側面に、第1の絶縁膜側壁に沿って、窒素を含有した第2の絶縁膜側壁を形成する工程と、(6) ゲート電極表面およびソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、チタン膜と、ゲート電極およびソース、ドレイン拡散層とを反応させる工程と、(7) チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とするものである。

【0020】本発明の他の半導体装置の製造方法は又、

(1) シリコン基板上にゲート絶縁膜を介して、シリコンゲート電極を形成する工程と、(2) シリコン基板及びシリコンゲート電極の全面に第1の絶縁膜を被着させた後、第1の絶縁膜を異方性エッチングすることによって、シリコンゲート電極の側面に第1の絶縁膜側壁を形成する工程と、(3) シリコンゲート電極およびシリコン基板に不純物を導入し、ソース、ドレイン拡散層を形成する工程と、(4) 全面に第2の絶縁膜を被着させた後、第2の絶縁膜中に窒素を斜め方向からイオン注入す

6

る工程と、(5) 第2の絶縁膜を異方性エッチングすることによって、シリコンゲート電極の側面に、第1の絶縁膜側壁に沿って、窒素を含有した第2の絶縁膜側壁を形成する工程と、(6) シリコンゲート電極表面およびソース、ドレイン拡散層表面を露出させた状態で、全面にチタン膜を被着させ、熱処理によってチタン膜と、シリコンゲート電極およびソース、ドレイン拡散層とを反応させる工程と、(7) チタン膜の未反応部分を除去することによって、ソース、ドレイン拡散層とゲート電極上にチタンシリサイド層を自己整合的に形成する工程と、を有することを特徴とするものである。

【0021】絶縁膜中に窒素をイオン注入するための注入角度は、40度乃至50度の範囲内にあるのが好ましい。

【0022】本発明に係る半導体装置は、上記記載された製造方法によって製造されたものである。

【0023】本発明によれば、ゲート電極を形成し、全面に絶縁膜を被着させた後、この絶縁膜中に窒素を斜め方向からイオン注入する。次いで、この絶縁膜を異方性エッチングすると、ゲート電極の側面に窒素を含有した絶縁膜側壁を形成することができる。このため、全面に被着させたチタン膜と、ゲート電極およびソース、ドレイン拡散層とを、熱処理によって反応させて、チタンシリサイド層を形成する際、絶縁膜側壁に接したチタン膜には内側から窒化が進行する。その結果、絶縁膜側壁上へのチタンシリサイドの這いあがりや抑制され、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1及び図2は、本発明の第1のMOSトランジスタの製造方法を主要工程順に示した断面図である。

【0025】まず、図1(a)に示すように、p型のシリコン基板1上に厚さ5~10nmのゲート酸化膜(絶縁膜)2を介して、厚さ150~300nmの多結晶シリコンゲート電極3を形成した後、CVD法等により全面に厚さ70~150nmの酸化膜(絶縁膜)4を堆積させ、窒素イオンを加速エネルギー5~20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 以上で斜め方向から注入する。注入角度は、40°乃至50°の範囲内にあり、45°程度が好ましい。窒素イオンを10keVで斜め45°方向から注入した場合、投影飛程は約15nmであり、酸化膜4の中にのみ窒素を導入することができる。

【0026】次いで、この酸化膜4を異方性エッチングすることによって、図1(b)に示すように、多結晶シリコンゲート電極3の側面に、窒素を含有した酸化膜側壁5を形成する。さらに、ヒ素イオンを加速エネルギー30~50keV、ドーズ量 $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ で注入した後、950~1050℃の温度範囲で10~60

7

秒間活性化アニールを行い、図1(c)に示すように、n型のソース、ドレイン拡散層6を形成する。

【0027】次いで、ソース、ドレイン拡散層6の表面とシリコンゲート電極3の頂部をフッ酸処理により露出させた状態で、図2(a)に示すように、スパッタ法により全面に厚さ20~40nmのチタン膜7を被着させる。そして、熱処理によってチタン膜7と、ソース、ドレイン拡散層6およびシリコンゲート電極3とを反応させて、図2(b)に示すように、厚さ40~80nmのチタンシリサイド層8を形成する。

【0028】最後に、例えば、水酸化アンモニウムと過酸化水素水の混合溶液に浸して、未反応のチタン9をウェットエッチングして除去する。これによって、図2(c)に示すように、ソース、ドレイン拡散層6の表面領域とシリコンゲート電極3の頂部に自己整合的に、チタンシリサイド層8を形成する。

【0029】本発明によれば、ゲート電極3を形成し、全面に酸化膜4を被着させた後、この酸化膜4中に窒素を斜め方向からイオン注入する。次いで、この酸化膜4を異方性エッチングすると、ゲート電極3の側面に窒素を含有した酸化膜側壁5を形成することができる。このため、全面に被着させたチタン膜7と、ゲート電極3およびソース、ドレイン拡散層6とを、熱処理によって反応させて、チタンシリサイド層8を形成する際、酸化膜側壁5に接したチタン膜7には内側から窒化が進行する。その結果、酸化膜側壁5上へのチタンシリサイドの食いあがり抑制され、ソース、ドレイン拡散層6とゲート電極3との間のショートやリークを防止することができる。

【0030】なお、酸化膜4の代わりに窒化膜を用い、同様の方法によって、窒素を含有した窒化膜側壁を形成してもよい。この場合も、酸化膜側壁の場合と同様の効果を得ることができる。

【0031】次に、本発明の第2の実施の形態について図面を参照して説明する。図3乃至図5は、本発明の第2のMOSトランジスタの製造方法を主要工程順に示した断面図である。

【0032】まず、図3(a)に示すように、p型のシリコン基板1上に厚さ5~10nmのゲート酸化膜2を介して、厚さ150~300nmのシリコンゲート電極3を形成する。その後、CVD法等により全面に厚さ35~75nmの第1の酸化膜10を堆積させる。そして、この第1の酸化膜10を異方性エッチングすることによって、図3(b)に示すように、多結晶シリコンゲート電極3の側面に、第1の酸化膜側壁11を形成する。

【0033】次いで、ヒ素イオンを加速エネルギー30~50keV、ドーズ量1~5×10¹⁵cm⁻²で注入した後、950~1050℃の温度範囲で10~60秒間活性化アニールを行い、図3(c)に示すように、n型

8

のソース、ドレイン拡散層6を形成する。

【0034】次いで、図4(a)に示すように、CVD法等により全面に厚さ35~75nmの第2の酸化膜12を被着させ、窒素イオンを加速エネルギー5~20keV、ドーズ量1×10¹⁵cm⁻²以上で斜め方向から注入する。注入角度は、40°乃至50°の範囲内にあり、45°程度が好ましい。窒素イオンを10keVで斜め45°方向から注入した場合、投影飛程は約15nmであり、第2の酸化膜12の中にのみ窒素を導入することができる。

【0035】次いで、この第2の酸化膜12を異方性エッチングすることによって、図4(b)に示すように、多結晶シリコンゲート電極3の側面に、第1の酸化膜側壁11に沿って、窒素を含有した第2の酸化膜側壁13を形成する。

【0036】次いで、ソース、ドレイン拡散層6の表面とシリコンゲート電極3の頂部をフッ酸処理により露出させた状態で、図4(c)に示すように、スパッタ法等により全面に厚さ20~40nmのチタン膜7を被着させる。そして、熱処理によってチタン膜7と、ソース、ドレイン拡散層6およびシリコンゲート電極3とを反応させて、図5(a)に示すように、厚さ40~80nmのチタンシリサイド層8を形成する。

【0037】最後に、例えば水酸化アンモニウムと過酸化水素水の混合溶液に浸して、未反応のチタン9を除去することにより、図5(b)に示すように、ソース、ドレイン拡散層6の表面領域とシリコンゲート電極3の頂部に自己整合的に、チタンシリサイド層8を形成する。

【0038】この第2の実施の形態では、ソース、ドレイン拡散層を形成するための活性化アニールを行った後、窒素を含有した第2の酸化膜側壁を形成するため、活性化アニールによって、窒素が外方拡散するおそれなく、酸化膜側壁上へのチタンシリサイドの食いあがりの抑制効果をより高めることができる。

【0039】

【発明の効果】本発明によれば、全面に絶縁膜を被着させた後、絶縁膜中に窒素を斜め方向からイオン注入するので、全面に被着させたチタン膜と、シリコンゲート電極およびソース、ドレイン拡散層とを熱処理によって反応させてチタンシリサイド層を形成する際、絶縁膜側壁中に導入した窒素が内側からチタン膜の窒化を進行させるため、絶縁膜側壁上へのチタンシリサイドの食いあがりを抑制することができる。従って、ソース、ドレイン拡散層とゲート電極との間のショートやリークを防止できる。

【図面の簡単な説明】

【図1】本発明の第1のMOSトランジスタの製造方法を示す断面図である。

【図2】本発明の第1のMOSトランジスタの製造方法を示す断面図である。

9

【図3】本発明の第2のMOSトランジスタの製造方法を示す断面図である。

【図4】本発明の第2のMOSトランジスタの製造方法を示す断面図である。

【図5】本発明の第2のMOSトランジスタの製造方法を示す断面図である。

【図6】サリサイド構造を有するMOSトランジスタの標準的な製造方法を示す断面図である。

【図7】サリサイド構造を有するMOSトランジスタの標準的な製造方法を示す断面図である。

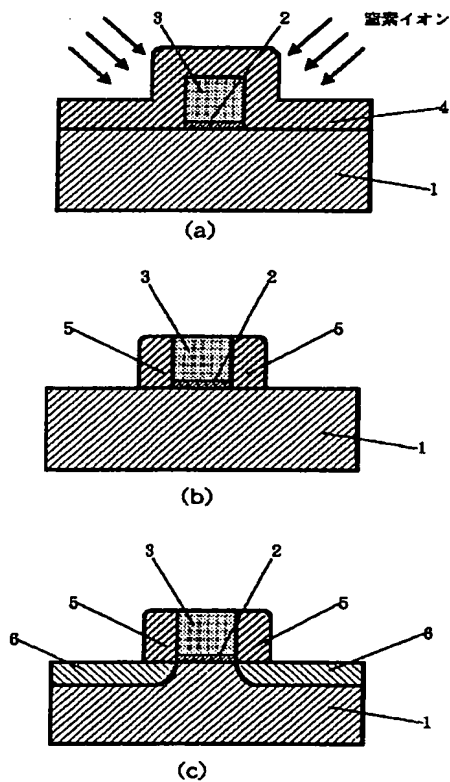
【図8】従来のMOSトランジスタの製造方法を示す断面図である。

【図9】他の従来のMOSトランジスタの製造方法を示す断面図である。

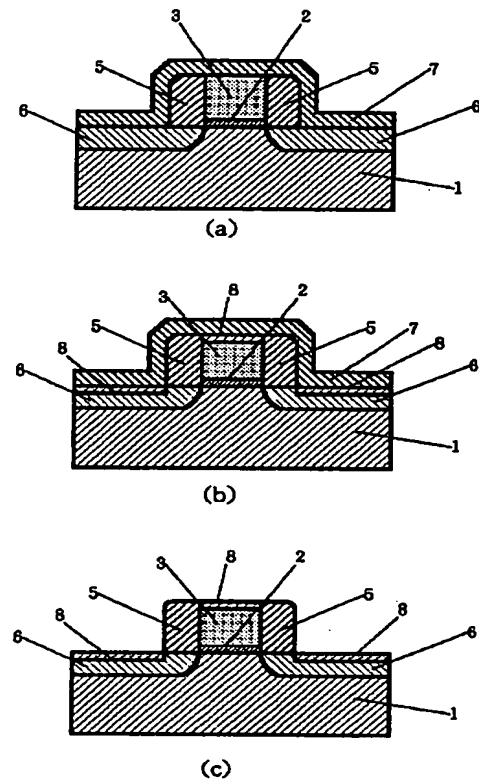
【符号の説明】

- * 1 : シリコン基板
 2 : ゲート酸化膜
 3 : 多結晶シリコンゲート電極
 4 : 酸化膜
 5 : 酸化膜側壁
 6 : ソース、ドレイン拡散層
 7 : チタン膜
 8 : チタンシリサイド層
 9 : 未反応のチタン
 10 : 第1の酸化膜
 11 : 第1の酸化膜側壁
 12 : 第2の酸化膜
 13 : 第2の酸化膜側壁
 14 : チタンシリサイドの食いあがり
 15 : 窒化膜側壁

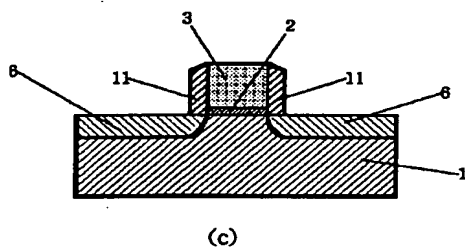
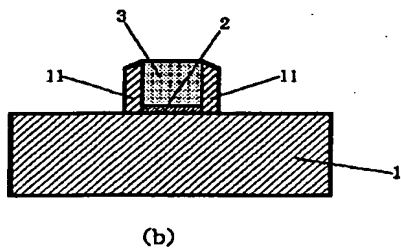
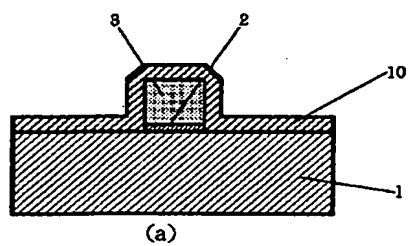
【図1】



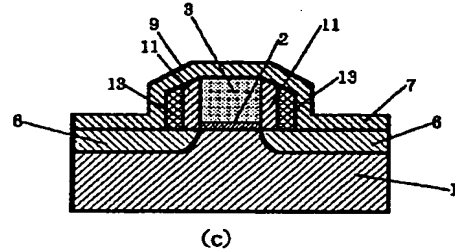
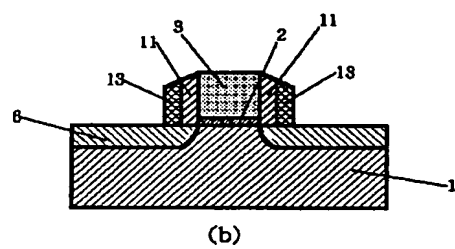
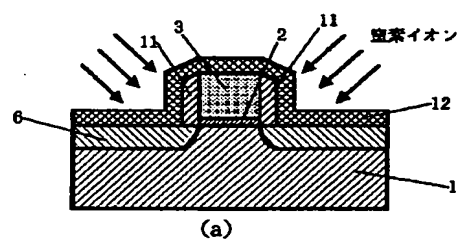
【図2】



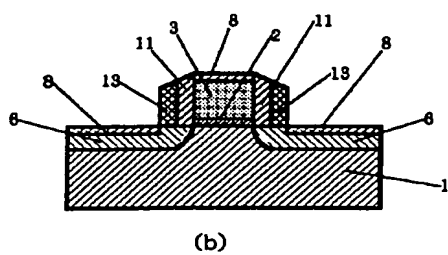
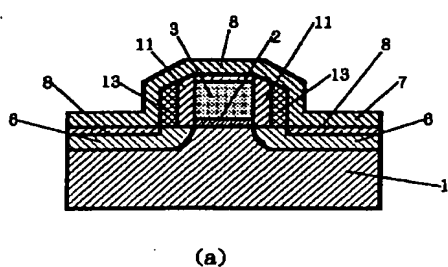
【図3】



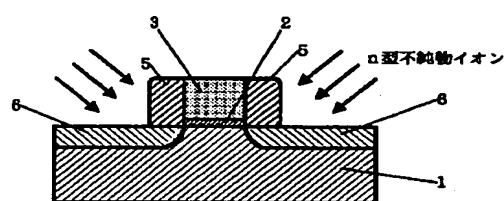
【図4】



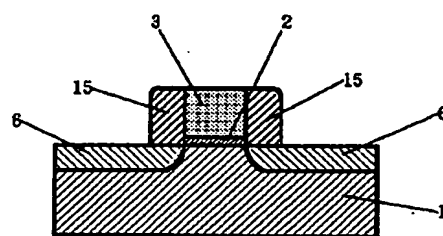
【図5】



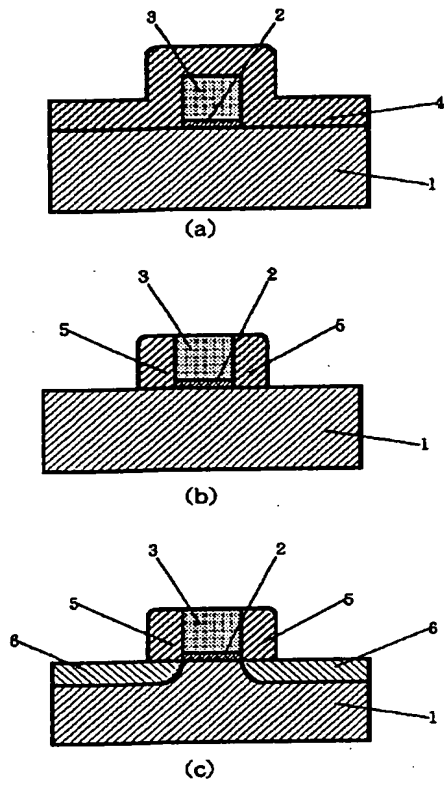
【図8】



【図9】



【図 6】



【図 7】

